

© EPODOC / EPO

PN - JP7074556 A 19950317
PD - 1995-03-17
PR - JP19930240741 19930901
OPD - 1993-09-01
TI - DIFFERENTIAL CMOS LOGIC CIRCUIT
IN - DOUSEKI TAKAKUNI
PA - NIPPON TELEGRAPH & TELEPHONE
IC - H03F3/45 ; H03K19/017 ; H03K19/0948

© WPI / DERWENT

TI - Differential CMOS logic circuit e.g. differential amplifier inverter -
uses two diodes connected in series with anode terminal connecting
to power supply and cathode terminal connecting common source
terminal of driver circuit

PR - JP19930240741 19930901

PN - JP7074556 A 19950317 DW199520 H03F3/45 012pp

PA - (NITE) NIPPON TELEGRAPH & TELEPHONE CORP

IC - H03F3/45 ;H03K19/017 ;H03K19/0948

AB - J07074556 The differential CMOS logic circuit consists of a pair of
Schottky diodes (D1,D2) which are connected inbetween a power
supply unit (PS) and a common source terminal of a driver circuit.
These diodes are connected in series. The driver circuit is
constituted by a N-channel and a P-channel MOSFET.

- ADVANTAGE - Reduces delay time produced while loading
capacitative load.

- (Dwg.1/11)

OPD - 1993-09-01

AN - 1995-150719 [20]

© PAJ / JPO

PN - JP7074556 A 19950317
PD - 1995-03-17
AP - JP19930240741 19930901
IN - DOUSEKI TAKAKUNI
PA - NIPPON TELEGR & TELEPH CORP <NTT>
TI - DIFFERENTIAL CMOS LOGIC CIRCUIT
AB - PURPOSE:To shorten delay time when a load capacity becomes
large by connecting diodes between the high potential power
source of a differential amplifier circuit and the common source of

plural driving transistors.

- CONSTITUTION: Input signals V_{in} are provided with the amplitude of -0.8 – 1.6 V and when the built-in voltage of the diodes D1 and D2 is set at 1.6 V, the voltage of the connection point of the common source of nMOSFETs 21 and 22 and a constant current circuit PS is fixed at 1.6 V. In this case, when the value of a load element Z is adjusted and the threshold value of the FET 21 is set at 0.8 V, it becomes the same as the voltage of the signals V_{in} , a current is not made flow to the FET 21 and the signals of the bar of the output signals V_{out} become '0'. Also, when the signals V_{in} are -1.6 V, the signals of the bar of the signals V_{out} become -0.8 V and the high level of the output signals of the differential amplifier circuit coincides with a high potential level. Then, logic can be surely attained in a short time with a small amplitude logical operation.

I - H03F3/45 ;H03K19/017 ;H03K19/0948

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-74556

(43) 公開日 平成7年(1995)3月17日

(51) Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 F 3/45	Z			
H 0 3 K 19/017		8321-5 J		
19/0948				
		8321-5 J	H 0 3 K 19/ 094	B
審査請求 未請求 請求項の数 4 F D (全 12 頁)				

(21) 出願番号 特願平5-240741

(22) 出願日 平成5年(1993)9月1日

(71) 出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72) 発明者 道関 隆国

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(74) 代理人 弁理士 川久保 新一

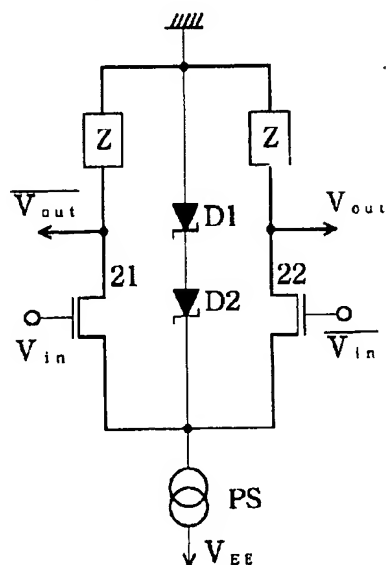
(54) 【発明の名称】 差動形CMOS論理回路

(57) 【要約】

【目的】 負荷容量が大きくなったときにおける遅延時間を短縮することができ、しかも差動形CMOS論理回路を2つ縦列接続したときに、その後段の差動形CMOS論理回路が確実に小振幅論理動作を行うことができる差動形CMOS論理回路を提供することを目的とするものである。

【構成】 CMOS差動増幅回路において、高電位電源と駆動トランジスタの共通ソースとの間にダイオードを接続するか、または、差動入力信号を印加する第1、2の駆動トランジスタのゲート・ソース間にそれぞれ第1、2のダイオードを接続するものである。

L1 : 差動形CMOS論理回路



1

【特許請求の範囲】

【請求項 1】 MOSFET で構成した差動増幅回路において、上記差動増幅回路の高電位電源と、差動入力信号を印加する第 1、第 2 の駆動トランジスタの共通ソースとの間に、ダイオードを接続したことを特徴とする差動形 CMOS 論理回路。

【請求項 2】 MOSFET で構成した差動増幅回路において、上記差動増幅回路の差動入力信号の一方を印加する第 1 の駆動トランジスタのゲート・ソース間に第 1 のダイオードを接続し、上記差動入力信号の他方を印加する第 2 の駆動トランジスタのゲート・ソース間に第 2 のダイオードを接続したことを特徴とする差動形 CMOS 論理回路。

【請求項 3】 請求項 1 または 2 において、上記差動増幅回路の各出力端子に、MOSFET で構成したソース・フォロウ回路を接続し、上記ソース・フォロウ回路の出力信号を上記差動形 CMOS 論理回路の出力信号とすることを特徴とする差動形 CMOS 論理回路。

【請求項 4】 請求項 2 または 3 において、上記 MOSFET と上記ダイオードとは、同一の絶縁基板上または絶縁基板上の同一シリコン活性領域に形成されていることを特徴とする差動形 CMOS 論理回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、CMOS 論理回路の構成法に係り、特に、小振幅信号で論理をとることができる差動形 CMOS 論理回路に関するものである。

【0002】

【従来の技術】 図 10 は、MOSFET を用いた CMOS 論理回路構成としての CMOS インバータ回路の従来例を示す図である。この従来例は、香山著「超高速 MOS デバイス」、pp 207、1986 年に記載されている。

【0003】

【発明が解決しようとする課題】 この従来のインバータ回路は、nMOSFET 11 と pMOSFET 12 とを接続し、両ゲートを入力端子とし、各ドレインを出力端子にすることによって、反転動作を実現している。また、このインバータ回路は、大振幅信号で動作する（0V と電源電圧との間を振幅として動作する）ので、特に、負荷容量が大きくなると、遅延時間が増大するという問題がある。

【0004】 この問題を解決するには、つまり、負荷容量が大きくなったときにおける遅延時間を短縮するには、図 11 (1) に示す差動増幅回路を使用すればよい。この従来の差動増幅回路は、nMOSFET 13 のドレインと高電位電源（GND）との間に負荷 Z を接続

2

し、nMOSFET 13 のソースに定電流源 PS を接続し、nMOSFET 14 のドレインと高電位電源（GND）との間に負荷 Z を接続し、nMOSFET 14 のソースに定電流源 PS を接続し、nMOSFET 13、14 の各ゲートにそれぞれ差動入力信号を印加し、nMOSFET 13、14 の各ドレインから出力信号を取り出すものである。

【0005】 図 11 (1) に示す差動増幅回路を使用することによって、出力信号を小振幅化することができ、負荷容量が大きくなったときでも遅延時間を短縮することができる。なお、出力信号を小振幅化するとは、ECL レベル（高レベルを -0.8V とし、低レベルを -1.6V とするレベル）で論理をとることである。

【0006】 しかし、この場合、高レベルの入力信号に対して完全な電流切り換えを行なうことができず、つまり、図 11 (2) に示すように、出力信号のレベルが低レベル側にシフトしてしまう。このために、図 11 (1) に示す従来の差動増幅回路と同一の回路を、図 11 (1) に示す従来の差動増幅回路の後段に接続すると（すなわち、図 11 (1) に示す従来の差動増幅回路を 2 つ縦列接続すると）、後段回路から見た入力信号のレベルが低過ぎるので、上記後段回路の入力信号に対応した信号を上記後段回路が出力できず、つまり、上記後段回路が小振幅論理動作を実行することができないという問題がある。

【0007】 本発明は、負荷容量が大きくなったときにおける遅延時間を短縮することができ、しかも差動形 CMOS 論理回路を 2 つ縦列接続したときに、その後段の差動形 CMOS 論理回路が確実に小振幅論理動作を行うことができる差動形 CMOS 論理回路を提供することを目的とするものである。

【0008】

【課題を解決するための手段】 本発明は、CMOS 差動増幅回路において、高電位電源と駆動トランジスタの共通ソースとの間にダイオードを接続するか、または、差動入力信号を印加する第 1、2 の駆動トランジスタのゲート・ソース間にそれぞれ第 1、2 のダイオードを接続するものである。

【0009】

【作用】 本発明は、CMOS 差動増幅回路において、高電位電源と駆動トランジスタの共通ソースとの間にダイオードを接続するか、または、差動入力信号を印加する第 1、2 の駆動トランジスタのゲート・ソース間にそれぞれ第 1、2 のダイオードを接続するので、負荷容量が大きくなったときにおける遅延時間を短縮することができ、しかも差動形 CMOS 論理回路を 2 つ縦列接続したときに、その後段の差動形 CMOS 論理回路が確実に小振幅論理動作を行うことができる。

【0010】

【実施例】 図 1 は、本発明の第 1 実施例である差動形 C

MOS論理回路L1を示す回路図である。

【0011】この差動形CMOS論理回路L1は、駆動トランジスタであるnMOSFET21、22と負荷素子Zと定電流源PSとを有するCMOS差動増幅回路と、ショットキー・ダイオードD1、D2とで構成されている。

【0012】nMOSFET21のドレインが負荷素子Zを介して高電位源（GND）に接続され、nMOSFET21のソースが定電流源PSに接続され、nMOSFET21のゲートに入力信号 V_{i1} が供給され、nMOSFET21のドレインに入力信号 V_{i1} の反転信号（ V_{i1} にバーを付して示した信号）が出力される。また、nMOSFET22のドレインが負荷素子Zを介して高電位源（GND）に接続され、nMOSFET22のソースが定電流源PSに接続され、nMOSFET22のゲートに入力信号 V_{i1} の反転信号が供給され、nMOSFET22のドレインに入力信号 V_{i1} と同じ信号（ V_{i1} で示した信号）が出力される。

【0013】ショットキー・ダイオードD1、D2は、互いに直列接続され、高電位電源（GND）と、nMOSFET21、22の共通ソースとの間に接続され、ダイオードD1のアノードが高電位電源（GND）に接続され、ダイオードD1のカソードとダイオードD2のアノードとが接続され、ダイオードD2のカソードが上記共通ソースに接続されている。

【0014】次に、上記差動形CMOS論理回路L1の動作について説明する。

【0015】図2は、上記差動形CMOS論理回路L1における入力信号波形と出力信号波形との関係を示す図である。

【0016】入力信号 V_{i1} に着目すると、この入力信号 V_{i1} は $-0.8V \sim -1.6V$ の振幅を有している。また、ダイオードD1、D2のビルトイン電圧を $1.6V$ に設定してあり、このために、nMOSFET21、22の共通ソースと定電流回路PSとの接続点の電圧が $-1.6V$ に固定され、負荷素子Z等の値を調整することによってnMOSFET21の閾値を $0.8V$ に設定してあったとする。

【0017】ここで、入力信号 V_{i1} が $-0.8V$ である場合には、入力信号 V_{i1} の値と閾値の値とが同じであるので、nMOSFET21に電流が流れず、その出力信号 V_{o1} のバーの信号が図2に示すように $0V$ （GND）になり、一方、入力信号 V_{i1} が $-1.6V$ である場合には、入力信号 V_{i1} の値が閾値の値よりも大きいので、nMOSFET21に電流が流れ、その出力信号 V_{o1} のバーの信号が図2に示すように -0.8 になる。これらの動作は、nMOSFET22についても同様である。

【0018】上記差動形CMOS論理回路L1において、差動増幅回路の出力信号の高レベルが高電位電源レ

ベルと一致するので、動形CMOS論理回路L1が小振幅論理動作（ECLレベル（高レベルを $-0.8V$ とし、低レベルを $-1.6V$ とするレベル）で論理をとる動作）を実行できるので、差動形CMOS論理回路L1を2つ縦列接続したときに、その後段の差動形CMOS論理回路L1が確実に小振幅論理動作を行うことができる。また、上記差動形CMOS論理回路L1が小振幅論理動作を実行するので、負荷容量が大きくなったときでも遅延時間を短縮することができる。

【0019】なお、差動形CMOS論理回路L1において、ショットキー・ダイオードが2つ（D1、D2）設けられているが、ショットキー・ダイオードD1またはD2のビルトイン電圧を調整することによって、ショットキー・ダイオードD1とD2との代わりに、ショットキー・ダイオードD1のみを設けるようにしてもよい。つまり、上記実施例は、MOSFETで構成した差動増幅回路において、差動増幅回路の高電位電源と、差動入力信号を印加する第1、第2の駆動トランジスタの共通ソースとの間に、ダイオードを接続したものであるが、このダイオードを1つのみ設けてもよくまた2つ以上設けるようにしてもよい。

【0020】なお、nMOSFET21、22の閾値は、ダイオードD1、D2のビルトイン電圧の値よりも小さければ、任意の値を採用することができる。

【0021】図3は、本発明の第2実施例であるシリーズ・ゲート形の差動論理回路L2の構成例を示す図である。

【0022】シリーズ・ゲート形の差動論理回路L2は、差動形CMOS論理回路L1と同様の回路を2つ設け、1つ目の差動形CMOS論理回路L1における共通ソースと定電流回路PSとの間にnMOSFET25が設けられ、2つ目の差動形CMOS論理回路L1における共通ソースと定電流回路PSとの間にnMOSFET28が設けられ、高電位電源（GND）と定電流回路PSとの間にショットキー・ダイオードD7、D8、D9の直列回路が設けられている。

【0023】つまり、互いに直列接続されたショットキー・ダイオードD3、D4を、高電位電源（GND）と、1段目のゲートを構成する駆動トランジスタであるnMOSFET23、24の共通ソースとの間に接続し、互いに直列接続されたショットキー・ダイオードD5、D6を、高電位電源（GND）と、2段目のゲートを構成する駆動トランジスタであるnMOSFET26、27の共通ソースとの間に接続してある。

【0024】シリーズ・ゲート形の差動論理回路L2の場合も、差動形CMOS論理回路L1の場合と同様に、シリーズ・ゲート形の差動論理回路L2の出力信号の高レベルが高電位電源レベルと一致するので、小振幅論理動作を実行することができ、したがって、負荷容量が大きくなったときでも遅延時間を短縮することができ、ま

た、シリーズ・ゲート形の差動論理回路L2を2つ縦列接続したときに、その後段のシリーズ・ゲート形の差動論理回路L2が確実に小振幅論理動作を行うことができる。

【0025】なお、シリーズ・ゲート形の差動論理回路L2において、入力信号 V_{inA} 、 V_{inB} が「1、1」になったときに、出力信号 V_{out0} のみが「1」になり、他の出力信号 V_{out1} 、 V_{out2} 、 V_{out3} が「0」になり、同様に、入力信号 V_{inA} 、 V_{inB} が「1、0」、「0、1」、「0、0」になったときに、出力信号 V_{out0} 、 V_{out1} 、 V_{out2} 、 V_{out3} がそれぞれ「1」になり、「1」になった出力信号以外の出力信号が「0」になる。

【0026】また、ショットキー・ダイオードD7、D8、D9の代わりに、1つ、2つまたは4つ以上のショットキー・ダイオードを使用してもよい。

【0027】図4は、本発明の第3実施例である差動形CMOS論理回路L3の構成を示す回路図である。

【0028】この差動形CMOS論理回路L3は、図1に示すCMOS差動増幅回路L1の後段に、MOSFETで構成したソース・フォロワ回路を付加することによって、出力の高負荷駆動を可能にしたものであり、上記ソース・フォロワ回路は、nMOSFET29と定電流源PS、nMOSFET30と定電流源PSで構成されている。

【0029】また、上記ソース・フォロワ回路におけるnMOSFET29、30に流す定電流値、またはnMOSFET29、30の閾値電圧を調整することによって、出力信号のレベルシフト量を任意に調整することができる。さらに、差動形CMOS論理回路L3の入出力レベルをバイポーラECL回路の入出力レベルに一致させれば、ECLインタフェース（高レベル：-0.8V、低レベル：-1.6V）が可能となる。

【0030】図5は、上記各実施例において、差動形論理回路L1、L2、L3の遅延時間に対する信号振幅の関係を示す図である。

【0031】ここで、縦軸には、差動形論理回路L1、L2、L3の遅延時間として、図10に示す従来のCMOSインバータ回路の遅延時間で規格化した値を示し、横軸には、信号振幅として、電源電圧で規格化した値を示してある。

【0032】図5において、「 C_{pd} 」は、上記各実施例における遅延時間であり、「 C_{pd} （CMOS）」は、図10に示す従来のCMOSインバータ回路における遅延時間である。なお、上記「遅延時間」は、たとえば入力信号が「0」から「1」になる場合、入力信号が「0」と「1」との間の1/2になってから、出力信号が「1」と「0」との間の1/2になるまでの時間である。

【0033】図5から、差動形CMOS論理回路L1、L2、L3の信号振幅を小振幅化すればする程、差動形

CMOS論理回路L1、L2、L3の遅延時間が短縮され、高速動作が可能になることが理解される。たとえば、信号振幅を電源電圧の1/4に設定した場合、図10に示す従来のCMOSインバータ回路に比べて、その遅延時間を約1/2に短縮することができる。

【0034】図6は、本発明の第4実施例である差動形CMOS論理回路L4の構成例を示す図である。

【0035】差動形CMOS論理回路L4は、駆動トランジスタであるnMOSFET31、32と負荷素子Zと定電流源PSとを有するCMOS差動増幅回路と、ショットキー・ダイオードD10、D11とで構成されている。

【0036】nMOSFET31のドレインが負荷素子Zを介して高電位源（GND）に接続され、nMOSFET31のソースが定電流源PSに接続され、nMOSFET31のゲートに入力信号 V_{in} が供給され、nMOSFET31のドレインに入力信号 V_{in} の反転信号（ V_{in} にバーを付して示した信号）が出力される。また、nMOSFET32のドレインが負荷素子Zを介して高電位源（GND）に接続され、nMOSFET32のソースが定電流源PSに接続され、nMOSFET32のゲートに入力信号 V_{in} の反転信号が供給され、nMOSFET32のドレインに入力信号 V_{in} と同じ信号（ V_{in} で示した信号）が出力される。

【0037】ショットキー・ダイオードD1のアノードがnMOSFET31のゲートに接続され、ショットキー・ダイオードD1のカソードがnMOSFET31のソースに接続され、ショットキー・ダイオードD2のアノードがnMOSFET32のゲートに接続され、ショットキー・ダイオードD2のカソードがnMOSFET32のソースに接続されている。

【0038】次に、差動形CMOS論理回路L4の動作について説明する。

【0039】この場合も、入力信号と出力信号との関係は、図2に示す場合と同じであるとする。つまり、入力信号 V_{in} に着目すると、この入力信号 V_{in} は-0.8V~-1.6Vの振幅を有している。ただし、ダイオードD10、D11のビルトイン電圧が0.8Vに設定され、負荷素子Z等の値を調整することによってnMOSFET31、32の閾値が0Vに設定してあったとすると、入力電圧が-0.8V~-1.6Vである場合、入力電圧の-0.8VとダイオードD10のビルトイン電圧の-0.8Vとが加算されて-1.6Vになるので、nMOSFET31、32の共通ソースと定電流回路PSとの接続点の電圧が-1.6Vに固定される。

【0040】ここで、入力信号 V_{in} が-0.8Vである場合には、nMOSFET31のソースとゲートとの間の電圧は0.8Vであり、閾値の値が0Vであるので、nMOSFET21に電流が流れ、その出力信号が-0.8Vになり、一方、入力信号 V_{in} が-1.6Vであ

7

る場合には、nMOSFET 31のソースとゲートとの間の電圧は0Vであり、閾値の値0Vと同じになり、nMOSFET 31に電流が流れず、その出力信号が-0V (GND) になる。これらの動作は、nMOSFET 32についても同様である。

【0041】なお、nMOSFET 31、32の閾値は、ダイオードD10、D11のビルトイン電圧の値よりも小さければ、任意の値を採用することができる。

【0042】上記差動形CMOS論理回路L4において、差動増幅回路の出力信号の高レベルが高電位電源レベルと一致するので、差動形CMOS論理回路L4が小振幅論理動作 (ECLレベル (高レベルを-0.8Vとし、低レベルを-1.6Vとするレベル) で論理をとる動作) を実行でき、したがって、負荷容量が大きくなったときでも遅延時間を短縮することができ、また、差動形CMOS論理回路L4を2つ縦列接続したときに、その後段の差動形CMOS論理回路L4が確実に小振幅論理動作を行うことができる。

【0043】なお、差動形CMOS論理回路L4において、1つのnMOSFETについてショットキー・ダイオードが1つ設けられているが、たとえばショットキー・ダイオードD10のビルトイン電圧を調整することによって、ショットキー・ダイオードD10の代わりに、複数のショットキー・ダイオードを直列接続したものを設けるようにしてもよい。

【0044】つまり、上記差動形CMOS論理回路L4は、MOSFETで構成した差動増幅回路において、差動増幅回路の差動入力信号の一方を印加する第1の駆動トランジスタのゲート・ソース間に第1のダイオードを接続し、差動入力信号の他方を印加する第2の駆動トランジスタのゲート・ソース間に第2のダイオードを接続したものであるが、第1のダイオードまたは第2のダイオードとして、1つのみのダイオードを設けてもよく、また2つ以上のダイオードを直列接続したものを設けるようにしてもよい。

【0045】図7は、本発明の第5実施例である差動形CMOS論理回路L5を示す図であり、図6に示すCMOS差動増幅回路L4の後段に、MOSFETで構成したソース・フォロフ回路を付加した構成を示す回路図である。

【0046】差動形CMOS論理回路L5において、ソース・フォロフ回路は、nMOSFET 33と定電流源PS、nMOSFET 34と定電流源PSとで構成されており、MOSFETで構成したソース・フォロフ回路を、CMOS差動増幅回路の後段に付加することによって、出力の高負荷駆動が可能になる。

【0047】また、第5実施例の上記ソース・フォロフ回路におけるnMOSFET 33、34に流す定電流値、またはnMOSFET 33、34の閾値電圧を調整することによって、出力信号のレベルシフト量を任意に

8

調整することができる。さらに、差動形CMOS論理回路L5の入出力レベルをバイポーラECL回路の入出力レベルに一致させれば、ECLインタフェース (高レベル:-0.8V、低レベル:-1.6V) が可能となる。

【0048】上記差動形CMOS論理回路L4、L5においても、図5に示すように、差動形論理回路の信号振幅を小振幅化すればする程、差動形論理回路の遅延時間が短縮され、高速動作が可能になる。たとえば、信号振幅を電源電圧の1/4に設定した場合、図10に示す従来のCMOSインバータ回路に比べて、その遅延時間を約1/2に短縮することができる。

【0049】図8は、差動形CMOS論理回路L4におけるMOSFET 31とショットキー・ダイオードD10とを、同一の絶縁基板上に形成した例を示す図である。

【0050】絶縁基板上では、従来のバルク基板と比較すると、ショットキー・ダイオードを小面積で実現でき、寄生容量を小さくすることができるので、論理動作の高速化を図ることができる。

【0051】図9は、MOSFET 31とショットキー・ダイオードD10とを、絶縁基板上の同一シリコン活性層41に形成したものであり、図8に示す例のデバイス構造と比較すると、小面積化を図ることができる。

【0052】また、上記各実施例において、ショットキー・ダイオードの代わりに、ショットキー・ダイオード以外のダイオードを使用してもよい。

【0053】

【発明の効果】本発明によれば、負荷容量が大きくなったときにおける遅延時間を短縮することができ、しかも差動形CMOS論理回路を2つ縦列接続したときに、その後段の差動形CMOS論理回路が確実に小振幅論理動作を行うことができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の第1実施例である差動形CMOS論理回路L1を示す回路図である。

【図2】差動形CMOS論理回路L1における入力信号波形と出力信号波形との関係を示す図である。

【図3】本発明の第2実施例であるシリーズ・ゲート形の差動論理回路L2の構成例を示す図である。

【図4】本発明の第3実施例である差動形CMOS論理回路L3の構成を示す回路図である。

【図5】上記各実施例において、差動形論理回路L1、L2、L3の遅延時間に対する信号振幅の関係を示す図である。

【図6】本発明の第4実施例である差動形CMOS論理回路L4の構成例を示す図である。

【図7】本発明の第5実施例である差動形CMOS論理回路L5を示す図である。

【図8】差動形CMOS論理回路L4におけるMOSF

ET31とショットキー・ダイオードD10とを、同一の絶縁基板上に形成した例を示す図である。

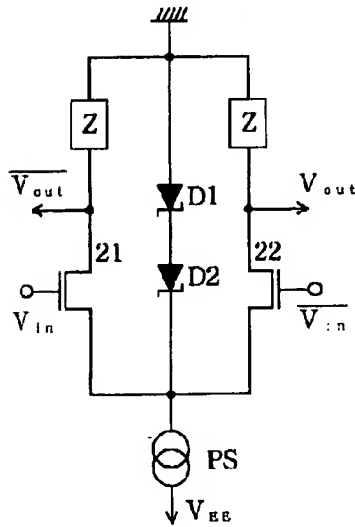
【図9】MOSFET31とショットキー・ダイオードD10とを、絶縁基板上の同一シリコン活性層41に形成したものの例を示す図である。

【図10】MOSFETを用いたCMOS論理回路構成としてのCMOSインバータ回路の従来例を示す図である。

【図11】小振幅動作を行なう従来の差動増幅回路を示

【図1】

L1：差動形CMOS論理回路

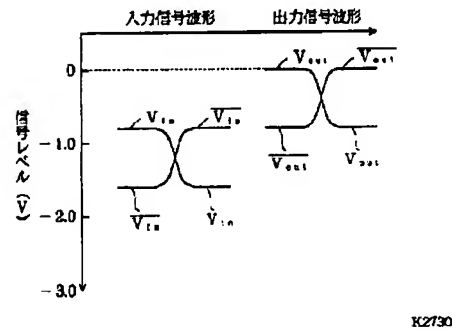


す図と、その差動増幅回路における入力信号と出力信号との関係を示す図である。

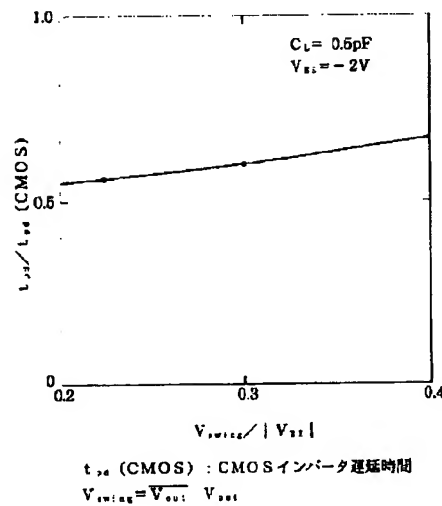
【符号の説明】

L1～L5…差動形CMOS論理回路、
D1～D11…ショットキー・ダイオード、
21～34…nCMOSFET、
41…シリコン活性層、
PS…定電流源、
Z…負荷素子。

【図2】

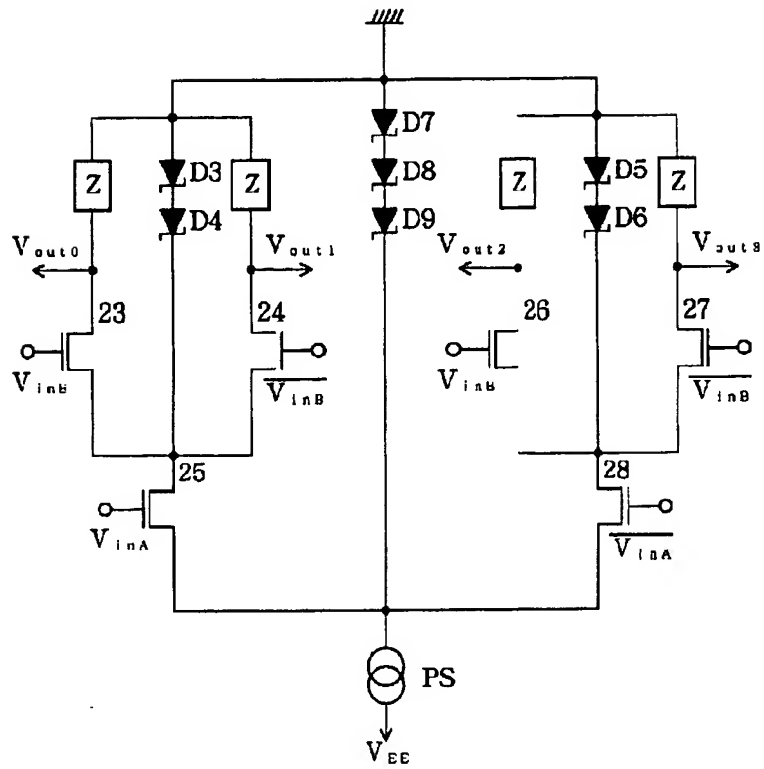


【図5】



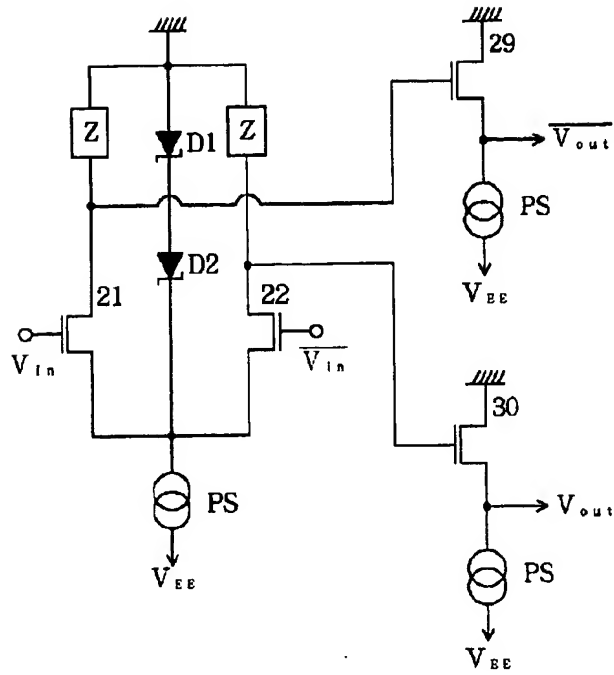
【図3】

L2 : シリーズ・ゲート形の差動論理回路



K2730

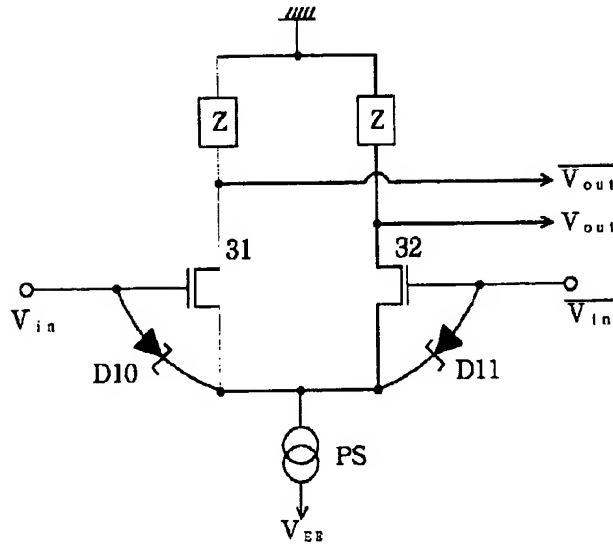
【図4】

L3 : 差動形 CMOS 論理回路

K2730

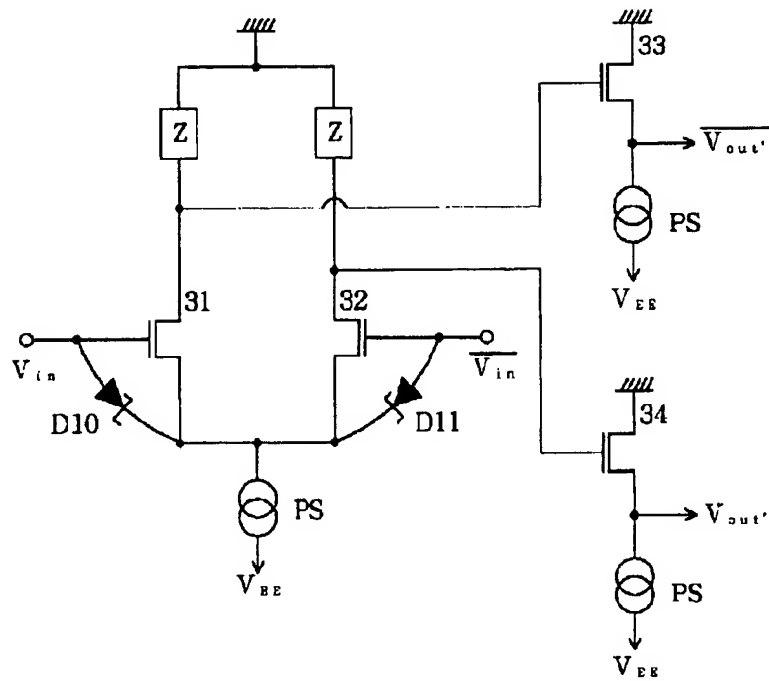
【図6】

L4 : 差動形 CMOS 論理回路



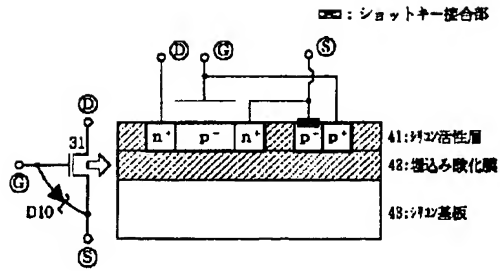
K2730

【図7】

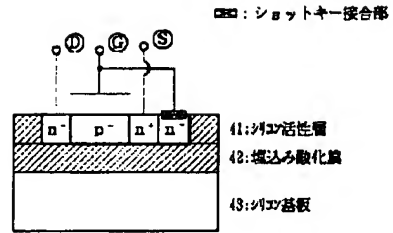
L5 : 差動形CMOS論理回路

K2730

【図 8】

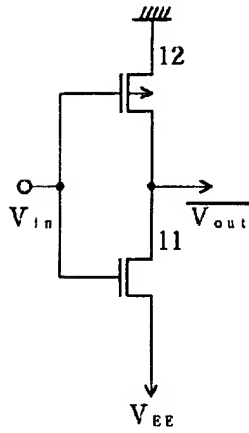


【図 9】



K2730

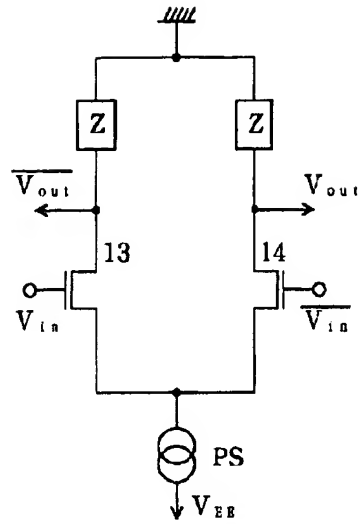
【図 10】



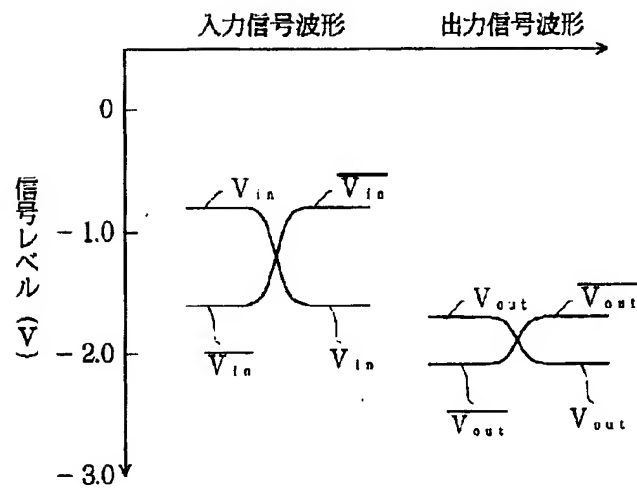
K2730

【図11】

(1)



(2)



K2730